

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-315950

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.<sup>5</sup>H 0 3 L 7/10  
7/08

識別記号

庁内整理番号

F I

技術表示箇所

9182-5 J

H 0 3 L 7/ 10

Z

9182-5 J

7/ 08

G

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-121681

(22)出願日 平成4年(1992)5月14日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 ▲高▼竿 和博

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 坂西 保昭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

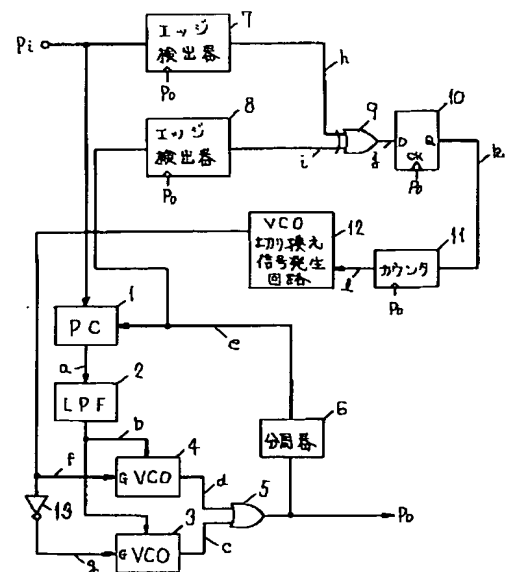
(54)【発明の名称】 PLL回路

(57)【要約】

【目的】 ロック状態によって電圧制御発振器の自動切り換えを行うPLL回路の提供を目的とする。

【構成】 エッジ検出器7, 8でパルス入力信号Pと、分周器6の出力信号eのエッジを検出し、EXOR回路9でエッジ検出器7, 8の出力信号h, iを比較し、フリップフロップ10でEXOR回路の出力信号jをパルス出力信号Pに同期させ、カウンタ11でフリップフロップ10の出力信号kのハイレベル期間をカウントし、VCO切り換え信号発生回路12でカウンタ11の出力信号lの値によってPLLのロック状態を判別し、VCO3, 4を切り換える構成を有する。

1…位相比較器  
2…ローパスフィルタ  
3…VCO  
4…VCO  
5…OR回路  
6…分周器  
7…エッジ検出器  
8…エッジ検出器  
9…EXOR回路  
10…フリップフロップ  
11…カウンタ  
12…VCO切り換え信号発生回路



## 【特許請求の範囲】

【請求項1】パルス入力信号と分周器出力信号の位相を比較する位相比較器と、前記位相比較器の出力側に接続されたローパスフィルタと、前記ローパスフィルタから出力される位相誤差電圧によって制御される複数の発振周波数帯域の異なる電圧制御発振器と、発振している電圧制御発振器の出力信号を出力するOR回路と、前記OR回路の出力信号を分周する分周器と、前記パルス入力信号の立ち上がりまたは立ち下がりを検出してパルス出力信号に同期した一定時間幅のパルスを出力する第1のエッジ検出器と、前記分周器の出力信号の立ち上がりまたは立ち下がりを検出してパルス出力信号に同期した一定時間幅のパルスを出力する第2のエッジ検出器と、前記第1と第2のエッジ検出器の出力信号を入力とする排他的OR回路と、前記排他的OR回路の出力信号をパルス出力信号に同期した信号にするフリップフロップと、前記フリップフロップの出力信号のハイレベルの期間をカウントするカウンタと、前記カウンタの出力信号によって設定値まではそのまま前の状態の信号を出力し、設定値を超えると前の状態の逆の信号を出力する電圧制御発振器切り換え信号発生回路とを備えたPLL回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、発振周波数帯域の異なる電圧制御発振器を複数個使用するPLL回路に関する。

## 【0002】

【従来の技術】従来のPLL回路において、広い周波数範囲の入力信号を取り扱う場合、電圧制御発振器（以下VCOという）が1個では対応できないので発振周波数の異なる複数のVCOを使用している。そして、そのVCOは手動で切り換えていた。

【0003】以下に従来のVCO切り換え（発振周波数帯域の異なるVCOを2個使ったPLL回路の場合）について、図2を用いて説明する。図において、1はパルス入力信号 $P_i$ と分周器出力信号 $e$ との位相を比較して、位相誤差信号 $a$ を出力する位相比較器、2はその位相誤差信号 $a$ を積分して位相誤差電圧 $b$ に変換するローパスフィルタ（以下LPFという）、3、4は位相誤差電圧 $b$ によって周波数が制御されるVCO（ただし、発振周波数帯域が異なる）、5はVCO3、4の出力信号 $c$ 、 $d$ の論理和をとり発振しているVCOの出力信号を出力するOR回路、6はパルス出力信号 $P_o$ を $n$ 分の1に分周して位相比較器1に戻す分周器、13はインバータ、14はVCO3と4を切り換えるスイッチ、15はブルアップ抵抗である。

【0004】以上のような構成要素をもつPLL回路について各構成要素の相互の関係と動作を説明する。位相比較器1でパルス入力信号 $P_i$ と分周器出力信号 $e$ とを

位相比較して、位相誤差信号 $a$ を出力する。LPF2でその位相誤差信号 $a$ を積分して位相誤差電圧 $b$ に変換する。VCO3、4は位相誤差電圧 $b$ によって所定周波数の信号を発振させる。OR回路5はVCO3、4の出力信号 $c$ 、 $d$ の論理和をとり発振している側のVCOの出力信号を出力する。分周器6はパルス出力信号 $P_o$ を $n$ 分の1に分周して位相比較器1に戻している。

【0005】VCOの発振周波数帯域は有限であるから、広い周波数帯域の信号を扱いたいときには1個のVCOでは対応できない。そこで、発振周波数の異なる複数のVCOを使用して、切り換える。マニュアルのスイッチ14をオンにするとVCO3のゲートにはハイレベルの信号 $g$ が加わり、VCO4のゲートにはロウレベルの信号 $f$ が加わる。この場合、VCO3が発振し、VCO4は動作しない。スイッチ14をオフにするとVCO3のゲートはロウレベルとなり、VCO4のゲートはハイレベルとなり、VCO4が発振し、VCO3は動作しない。このようにしてVCOを切り換えている。

## 【0006】

【発明が解決しようとする課題】しかしながら上記の構成では、パルス入力信号の周波数が急に变化した場合、それと同時にPLLがロックしているかどうかを判断してVCOを切り換えなければならないが、マニュアルではすぐには対処することはほとんど不可能である。さらに、PLLのロック状態を絶えず監視していなければならない欠点があった。

【0007】本発明は上述の欠点を解決するもので、パルス入力信号の周波数が急に变化した場合に、PLLのロック状態を直ちに判別して自動的にVCOを切り換えるVCO自動切り換え回路付きのPLL回路を提供することを目的とする。

## 【0008】

【課題を解決するための手段】上記目的を達成するために本発明のPLL回路は、信号の立ち上がり（または立ち下がり）を検出するエッジ検出器と、排他的OR回路を用い、パルス入力信号と分周器出力信号との位相を比較することによってPLLのロック状態を判別し、PLLがロックするまでの微少時間にVCOが切り換わらないようにするため、フリップフロップとカウンタによる保護回路を設け、VCO切り換え信号発生回路でカウンタの出力信号によってVCOを切り換える信号を発生する構成を有する。

## 【0009】

【作用】本発明は上記した構成によって、パルス入力信号の周波数が急に变化した場合に、PLLのロック状態を直ちに判別して自動的にVCOを切り換えるように作用する。

## 【0010】

【実施例】以下、本発明について図面を参照しながら説明する。

【0011】図1は、本発明の一実施例におけるPLL回路のブロック図である。図において、1～6、13は従来例と同様である。7はパルス入力信号 $P_i$ の立ち上がり（または立ち下がり）を検出してパルスを入力するエッジ検出器、8は分周器6の出力信号 $e$ の立ち上がり（または立ち下がり）を検出してパルスを入力するエッジ検出器、9はエッジ検出器7の出力信号 $h$ とエッジ検出器8の出力信号 $i$ とを比較する排他的OR回路（EXOR回路）、10はEXOR回路9の出力信号 $j$ をパルス出力信号 $P_o$ に同期させるフリップフロップ、11はフリップフロップ10の出力信号 $k$ のハイレベルの期間を一定期間カウントするカウンタ、12はカウンタ11の出力信号によってVCOを切り換える信号を発生するVCO切り換え信号発生回路である。

【0012】以上のような構成要素をもつPLL回路について、各構成要素の相互の関係と動作を説明する。位相比較器1でパルス入力信号 $P_i$ と分周器6の出力信号 $e$ とを位相比較して、位相誤差信号 $a$ を出力する。LPF2でその位相誤差信号 $a$ を積分して位相誤差電圧 $b$ に変換する。VCO3、4は位相誤差電圧 $b$ によって所定周波数の信号を発生する。OR回路5はVCO3、4出力信号 $c$ 、 $d$ の論理和をとり発生しているVCOの出力信号を出力する。分周器6はパルス出力信号 $P_o$ を $n$ 分の1に分周して位相比較器1に戻している。

【0013】VCOの発振周波数帯域は有限であるから、広い周波数帯域の信号を扱いたいときには1個のVCOでは対応できない。そこで、発振周波数の異なる複数個のVCOを使用して、切り換える。

【0014】エッジ検出器7はパルス入力信号 $P_i$ の立ち上がり（または立ち下がり）を検出してパルス出力信号 $P_o$ に同期した一定時間幅のパルスを入力している。また、エッジ検出器8は分周器出力信号 $e$ の立ち上がり（または立ち下がり）を検出してパルス出力信号 $P_o$ に同期した一定時間幅のパルスを入力している。EXOR回路9はエッジ検出器7の出力信号 $h$ とエッジ検出器8の出力信号 $i$ とを比較して一致しておればロウレベル、一致していなければハイレベルの信号を出力している。フリップフロップ10はEXOR回路9の出力信号 $j$ をパルス出力信号 $P_o$ に同期した信号にしている。カウンタ11はフリップフロップ10の出力信号 $k$ のハイレベルの期間をカウントしている。VCO切り換え信号発生回路12はカウンタ11の出力信号 $l$ によって、設定値まではそのまま前の状態の信号を出力し、設定値を超えると前の状態の逆の信号を出力する。そうすることによって、VCO3、4の切り換えを制御する。VCO切り換え信号発生部12からロウレベルの信号が出力されるとVCO3のゲートはハイレベルとなり、VCO4のゲートはロウレベルとなる。この場合、VCO3が発振

\* し、VCO4は動作しない。反対にVCO切り換え信号発生回路12からハイレベルの信号が出力されるとVCO3のゲートはロウレベルとなり、VCO4のゲートはハイレベルとなって、VCO4が発振し、VCO3は動作しない。このようにVCOが切り換えられる。

【0015】以上のように本実施例によれば、パルス入力信号 $P_i$ の立ち上がり（または立ち下がり）を検出してパルス出力信号 $P_o$ に同期した一定時間幅のパルスを入力するエッジ検出器7と、分周器出力信号 $e$ の立ち上がり（または立ち下がり）を検出してパルス出力信号 $P_o$ に同期した一定時間幅のパルスを入力するエッジ検出器8と、エッジ検出器7の出力信号 $h$ とエッジ検出器8の出力信号 $i$ とを比較して一致しておればロウレベル、一致していなければハイレベルの信号を出力するEXOR回路9と、EXOR回路9の出力信号 $j$ をパルス出力信号 $P_o$ に同期した信号にするフリップフロップ10と、フリップフロップ出力信号 $k$ のハイレベルの期間をカウントするカウンタ11と、カウンタ11出力信号 $l$ によって、設定値まではそのまま前の状態の信号を出力し、設定値を超えると前の状態の逆の信号を出力するVCO切り換え信号発生回路12を設けてあるので、パルス入力信号の周波数が急に变化した場合でも、PLLのロック状態を直ちに判別して自動的にVCOを切り換え、常に同期のかかった状態を保持できる。

【0016】なお、本実施例においては説明の便宜上VCO2個の場合について述べたが、VCOを3個以上用いた場合についても有効であることはいうまでもない。

【0017】

【発明の効果】以上の実施例から明らかなように本発明によれば、複数個のVCOを自動的に切り換える回路を設けてあるので、広い周波数帯域の信号を扱う場合でも、常時ロックのかかった状態を保持できるPLL回路を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例におけるPLL回路の構成を示すブロック図

【図2】従来のPLL回路の構成を示すブロック図

【符号の説明】

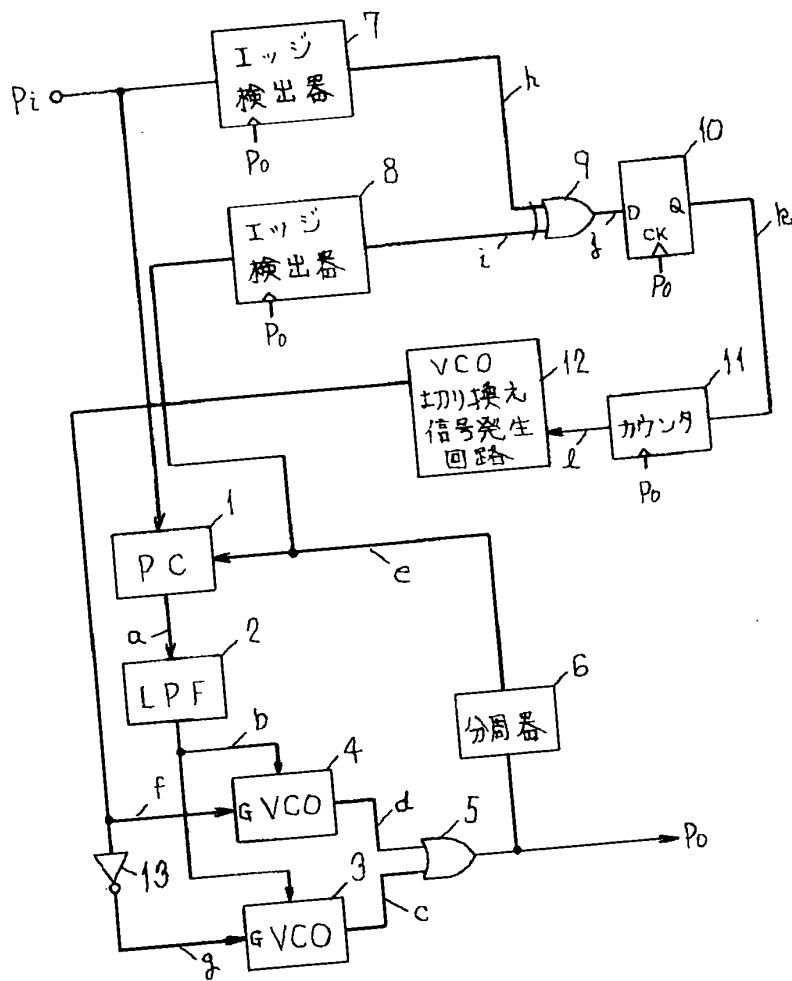
- 1 位相比較器
- 2 ローパスフィルタ
- 3, 4 VCO
- 5 OR回路
- 6 分周器
- 7, 8 エッジ検出器
- 9 排他的OR回路
- 10 フリップフロップ
- 11 カウンタ
- 12 VCO切り換え信号発生回路

\*

(4)

【図1】

- 1---位相比較器  
 2---ローパスフィルタ  
 5---OR回路  
 9---排他的OR回路  
 10---フリップフロップ



【図2】

